

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-051565
 (43)Date of publication of application : 21.02.2003

(51)Int.Cl. H01L 23/12
 H05K 3/46

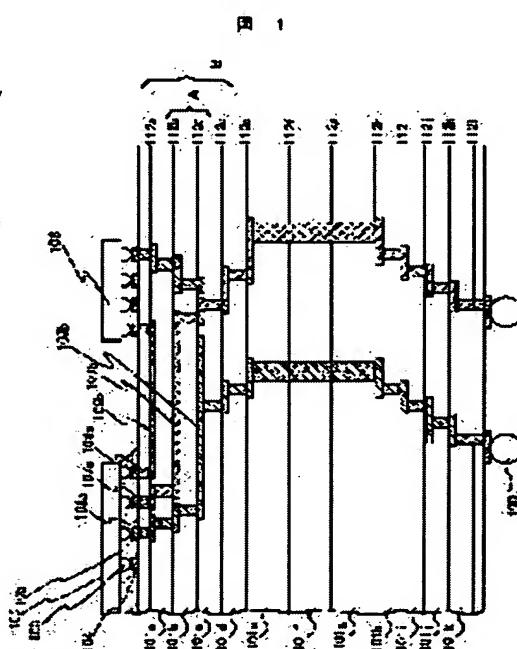
(21)Application number : 2001-240064 (71)Applicant : HITACHI LTD
 (22)Date of filing : 08.08.2001 (72)Inventor : SUMIKURA HIROSHI

(54) LSI PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that crosstalk noise is generated between adjacent signal wirings, power source fluctuation is generated in a power source line, and so on, since the wiring pattern density of an LSI package becomes high in accordance with high level integration and high performance of an LSI chip.

SOLUTION: By arranging a solder ball connecting terminal for a power source or ground in the outermost peripheral part of an LSI chip, the distance to a chip capacitor for decoupling can be reduced, and noise of the power source and the ground can be reduced. For another way, arrangement is so performed that a signal wiring does not pass a part above clearance of the power source, or wiring width is increased in a region passing the clearance, thereby reducing fluctuation of impedance of the wiring. As a result, superior electric characteristics can be obtained in the design of a multilayer wiring board in which high density and micronization of a wiring are made to progress.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-51565

(P2003-51565A)

(43)公開日 平成15年2月21日 (2003.2.21)

(51)Int.Cl.⁷
H 01 L 23/12
H 05 K 3/46

識別記号

F I
H 05 K 3/46
H 01 L 23/12

テマコード(参考)
Q 5 E 3 4 6
Z
B
N
E

審査請求 未請求 請求項の数3 O L (全6頁)

(21)出願番号 特願2001-240064(P2001-240064)

(22)出願日 平成13年8月8日 (2001.8.8)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 関倉 大志

神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバー事業部内

(74)代理人 100075096

弁理士 作田 康夫

Fターム(参考) 5E346 AA12 AA15 AA45 BB02 BB03
BB04 BB06 FF45 HH03

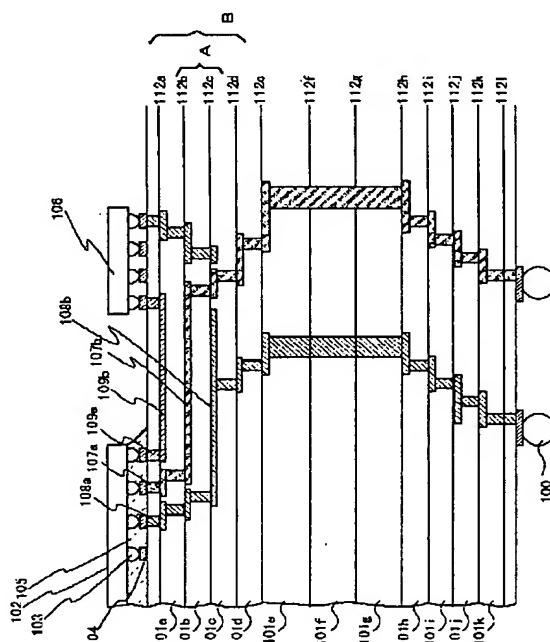
(54)【発明の名称】 L S I パッケージ

(57)【要約】

【課題】 L S I チップの高集積化、高性能化にともない L S I パッケージの配線パターンの高密度化が進み、隣接する信号配線間でクロストークトーカノイズが発生したり、電源ラインで電源変動が生じる等の問題がある。

【解決手段】 L S I チップの最外周部に電源あるいはグランド用のはんだボール接続端子を配置することにより、デカップリング用のチップコンデンサまでの距離を短くでき、電源およびグランドのノイズを低減できる。また電源のクリアランス上を信号配線が通らないように配置するあるいは前記クリアランスを通過する領域で配線幅を太くすることにより、配線のインピーダンスの変動を低減できる。配線の高密度化、微細化が進む多層配線基板の設計において良好な電気的特性を得ることができる。

図 1



【特許請求の範囲】

【請求項1】 絶縁層と電源および信号配線の導体層が交互に積み重ねられていて、前記絶縁層を貫通するスルーホールによって前記導体層が接続されている多層配線基板であって、電源とグランド間のデカップリングとしてチップコンデンサ等の容量素子が搭載されているLSIパッケージにおいて、信号配線を設けた層の上層あるいは下層の、電源あるいはグランド層に設けられたスルーホール用のクリアランス領域を、前記信号配線が回避することにより前記信号配線の特性インピーダンスの変動を低減することを特徴とするLSIパッケージ。

【請求項2】 前記多層配線基板において、信号配線が当該信号配線を設けた層の上層あるいは下層の、電源あるいはグランド層に設けられたスルーホール用のクリアランス領域では、クリアランス外領域よりも配線幅が広くなつており前記信号配線の特性インピーダンスの変動を低減することを特徴とするLSIパッケージ。

【請求項3】 Controlled Collapse Chip Connection (以下C4と記す) 方式で接続されるLSIチップとLSIパッケージにおいて、当該LSIチップは信号、電源およびグランド用端子としてはんだボール接合端子がLSIチップ上に二次元的にマトリックス状に配置されており、当該はんだボール接合端子群のうちLSIチップ領域の最外周部が電源あるいはグランド用に配置されていることを特徴とするLSIチップのC4接続用の配置設計方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の構造に係り、特にLSIを搭載するLSIパッケージの配線の特性インピーダンスの変動を低減するのに適した構造に関する。さらに前記LSIパッケージの電気的なノイズを低減するのに適した構造に関する。

【0002】

【従来の技術】 LSIの高集積化にともないLSIチップの信号端子、電源端子数が増加してきた。これに対応するために、LSIパッケージについても挿入実装方式のPGA (Pin Grid Array) パッケージや表面実装方式のBGA (Ball Grid Array) パッケージが使用されている。近年の更なるLSI高集積化にともないLSIパッケージの配線の高密度化、微細化が要求されており、これに対応してビルトアップ方式で多層配線構造を形成した多層配線基板のLSIパッケージが採用されている。ビルトアップ方式で製造された基板については特開2001-44318号公報に製造方法が記してある。ビルトアップ多層配線は、絶縁層と電源および信号配線の導体層を繰り返し積層し、前記絶縁層を貫通するスルーホールで接続する多層基板の製造方式である。高集積LSIにはビルトアップ方式で製造された多層配線基板上に、電源とグランドのデカップリングを目的としてチップコ

ンデンサ等の容量素子を搭載したLSIパッケージが採用されている。図9は前記ビルトアップ方式により構成された多層配線のLSIパッケージの断面図を示している。202はLSIチップ、203ははんだボール接合端子、204は搭載用のパッドで、図9ではポリイミド系のアンダーフィル樹脂205で接合部を封止した構造を記している。206は電源とグランドのデカップリング用のチップコンデンサである。導体層212a～212jと絶縁層201a～201jは交互に積層される。信号は信号用のスルーホール207aを通して導体層207bへ接続される。電源は電源用のスルーホール208aを通して導体層208bへ接続され、グランドはグランド用のスルーホール209aを通して導体層209bへ接続される。

【0003】 以下従来構成での問題を述べる。図9のLSIパッケージ断面図のE部での信号配線を図10に示す。201bは絶縁層、207bは前記絶縁層上の信号配線、207aは信号のスルーホール、211は前記絶縁層の下層にある電源層のクリアランスである。図10においてH-H'での断面図を図11および図12に示す。図12では信号配線207bが電源層210bのベタ領域にある。図13および図14は図10においてG-G'の断面図で、電源層のクリアランス211上を信号配線が通過しており、信号配線と電源層の容量結合が小さくなる。前記容量結合をCとし前記信号配線のインダクタンスをLとすると、配線の特性インピーダンスZ0は $Z_0 = \sqrt{L/C}$ で表され、G-G'部とH-H'部では信号配線と電源の容量結合が大きく異なり、配線の特性インピーダンスが変動してしまうという問題がある。

【0004】 図15に前記LSIチップ202のはんだボール接合端子面の図を示す。前記はんだボール端子203が二次元的にマトリックス状に配置されている。特に図示していないが図15においてLSIチップの最外周部にグランド用のはんだボール接合端子は配置されていない。図16に図9のLSIパッケージ断面図のF部について、LSIチップ202からチップコンデンサ206までの電源とグランドの接続を示す。信号配線は図示していない。LSIチップとチップコンデンサ間で、電源はスルーホール208aと電源層208bを通して電気的に接続されている。グランドはスルーホール209aとグランド層209bを通して電気的に接続されている。LSIチップとチップコンデンサの電源およびグランドの接続距離が長くなると、電源およびグランドのインダクタンスしが増加し電源ノイズ、グランドノイズが大きくなるという問題がある。

【0005】

【発明が解決しようとする課題】 本発明の目的は、上記問題点を鑑みて配線の特性インピーダンスの変動を低減するのに適した構造、電源およびグランドの電気的なノ

イズを低減するのに適した構造を提供することにある。

【0006】

【課題を解決するための手段】前記課題を解決するためには、絶縁層と電源および信号配線の導体層が交互に積み重ねられていて、前記絶縁層を貫通するスルーホールによって前記導体層が接続されている多層配線基板であって、電源とグランド間のデカップリングとしてチップコンデンサ等の容量素子が搭載されているLSIパッケージにおいて、信号配線を設けた層の上層あるいは下層の、電源あるいはグランド層に設けられたスルーホール用のクリアランス領域を、前記信号配線が回避するように配線する。あるいは前記信号配線が当該信号配線を設けた層の上層あるいは下層の、電源あるいはグランド層に設けられたスルーホール用のクリアランス領域では、クリアランス外領域よりも配線幅を広くしたものである。

【0007】C4方式で接合されるLSIチップとLSIパッケージにおいて、当該LSIチップは信号、電源、グランド用端子としてはんだボール接合端子がLSIチップ上に二次元的にマトリックス状に配置されており、当該はんだボール接合端子群のうちLSIチップ領域の最外周部を電源あるいはグランド用に配置したものである。

【0008】本発明に係る構造によれば、前記LSIパッケージにおいて、信号配線を設けた層の上層あるいは下層の、電源あるいはグランド層に設けられたスルーホール用のクリアランス領域を、前記信号配線が回避するように配線することにより、あるいは前記信号配線が当該信号配線を設けた層の上層あるいは下層の、電源あるいはグランド層に設けられたスルーホール用のクリアランス領域では、クリアランス外領域よりも配線幅を広くすることにより、配線の特性インピーダンスの変動を低減できる。C4方式で接合される前記LSIチップとLSIパッケージにおいて、当該LSIチップは信号、電源、グランド用端子としてはんだボール接合端子がLSIチップ上に二次元的にマトリックス状に配置されており、当該はんだボール接合端子群のうちLSIチップ領域の最外周部を電源あるいはグランド用に配置することにより、前記デカップリング用のチップコンデンサまでのインダクタンスを低減でき電源およびグランドのノイズを低減できる効果がある。

【0009】

【発明の実施の形態】以下、本発明での実施例を述べる。図1にビルトアップ方式により構成された多層配線のLSIパッケージの断面図を示す。102はLSIチップ、103ははんだボール接合端子、104は搭載用のパッドで、図1ではポリイミド系のアンダーフィル樹脂105で接合部を封止した構造を記している。106は電源とグランドのデカップリング用のチップコンデンサである。導体層112a～112bと絶縁層101a

～101bは交互に積層される。信号は信号用のスルーホール107aを通して導体層107bへ接続される。電源は電源用のスルーホール108aを通して導体層108bへ接続され、グランドはグランド用のスルーホール109aを通して導体層109bへ接続される。図1のLSIパッケージ断面図のA部での信号配線を図2に示す。101bは絶縁層、107bは前記絶縁層上の信号配線、107aは信号のスルーホール、111は前記絶縁層の下層にある電源層のクリアランスである。図2においてC-C'での断面図を図3および図4に示す。図4では信号配線107bが電源層108bのクリアランスを回避するようにして、前記信号配線と電源層が容量結合するように配線している。また図5および図6は図10においてD-D'の断面図で信号配線が下層の電源のクリアランス上を通過する領域では信号配線の幅を太くして信号配線と電源層が容量結合するようにしており、前述の特性インピーダンスZ0の変動を低減できる。

【0010】図7に前記LSIチップのはんだボール接合端子面の図を示す。LSIチップ102のはんだボール端子103が二次元的にマトリックス状に配置されており、112で示すLSIチップの最外周部にグランド用のはんだボール接合端子を配置する。図8に図1のLSIパッケージ断面図のB部について、LSIチップ102からチップコンデンサ106までの電源とグランドの接続を示す。信号配線は特に図示していない。LSIチップとチップコンデンサ間で、電源はスルーホール108aと電源層108bを通して電気的に接続されている。グランドはスルーホール109aとグランド層109bを通して電気的に接続されている。LSIチップの最外周部にグランド用のはんだボール接続端子を配置することにより、LSIチップとチップコンデンサの電源およびグランドの接続距離を短くすることができ、電源およびグランドのインダクタンスLを低減させ電源ノイズ、グランドノイズを低減することができる。

【0011】

【発明の効果】本発明によればLSIチップの最外周部に電源あるいはグランド用のはんだボール接続端子を配置することにより、デカップリング用のチップコンデンサまでの距離を短くでき、電源およびグランドのノイズを低減できる。また電源のクリアランス上を信号配線が通らないように配置するあるいは前記クリアランスを通過する領域で配線幅を太くすることにより、配線のインピーダンスの変動を低減できる。配線の高密度化、微細化が進む多層配線基板の設計において良好な電気的特性を得ることができる。

【図面の簡単な説明】

【図1】ビルトアップ多層配線基板からなるLSIパッケージの本発明の実施例での断面図である。

【図2】本発明の実施例での信号配線の配置を示す図で

ある。

【図3】本発明の実施例での信号配線の配置を示す図である。

【図4】本発明の実施例での信号配線の配置を示す図である。

【図5】本発明の実施例での信号配線の配置を示す図である。

【図6】本発明の実施例での信号配線の配置を示す図である。

【図7】本発明の実施例でのLSIチップのはんだボール接続端子の配置を示す図である。

【図8】本発明の実施例でのLSIチップとデカッピング用コンデンサの電源およびグランドの接続を示す図である。

【図9】ビルトアップ多層配線基板からなるLSIパッケージの従来例での断面図である。

【図10】従来例での信号配線の配置を示す図である。

【図11】従来例での信号配線の配置を示す図である。

【図12】従来例での信号配線の配置を示す図である。

【図13】従来例での信号配線の配置を示す図である。*20

*【図14】従来例での信号配線の配置を示す図である。

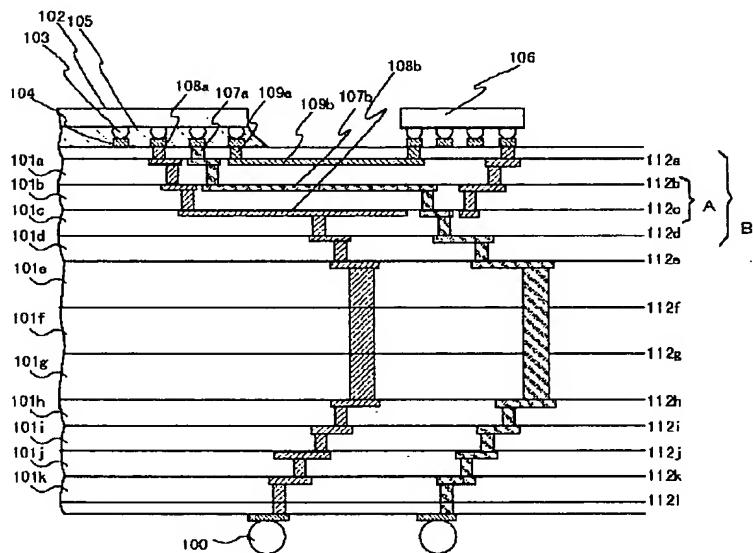
【図15】従来例でのLSIチップのはんだボール接続端子の配置を示す図である。

【図16】従来例でのLSIチップとデカッピング用コンデンサの電源およびグランドの接続を示す図である。

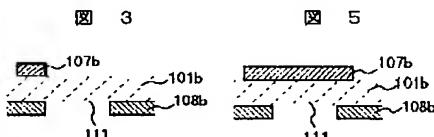
【符号の説明】

101a～101k, 201a～201j…絶縁層、112a～1121, 212a～212j…導体層、107a, 207a…信号用のスルーホール、108a, 208a…電源用のスルーホール、109a, 209a…グランド用のスルーホール、107b, 207b…信号配線、108b, 208b…電源バーン、109b, 209b…グランドバーン、102, 202…LSIチップ、100, 200, 103, 203…はんだボール接続端子、104, 204…塔載用パッド、105, 205…ポリイミド系アンダーフィル樹脂、106, 206…デカッピング用チップコンデンサ、111, 211…電源層クリアランス。

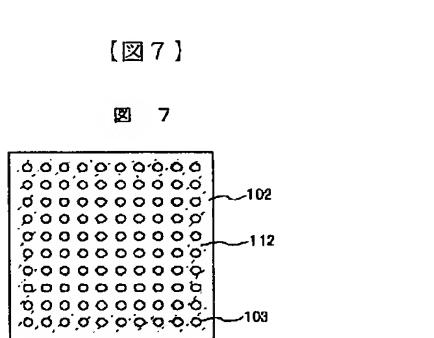
【図1】



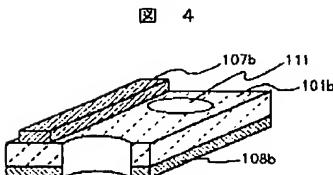
【図3】



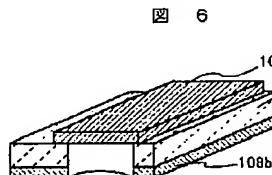
【図5】



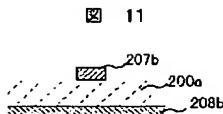
【図4】



【図6】



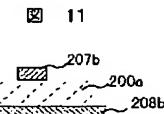
【図11】



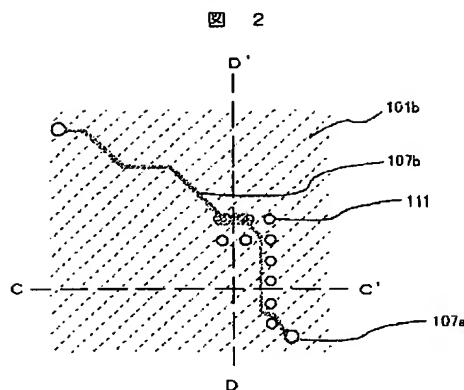
【図13】



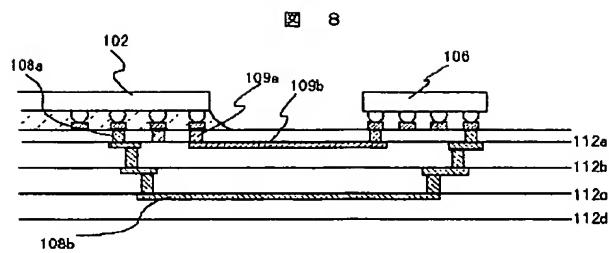
【図13】



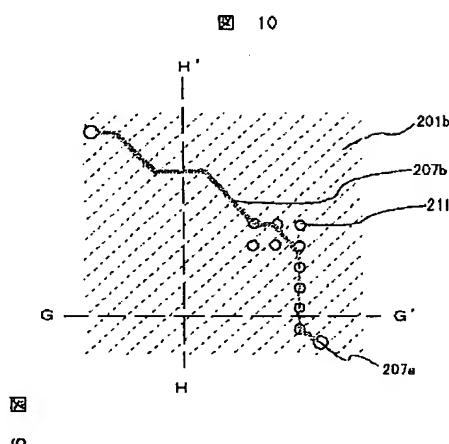
【図2】



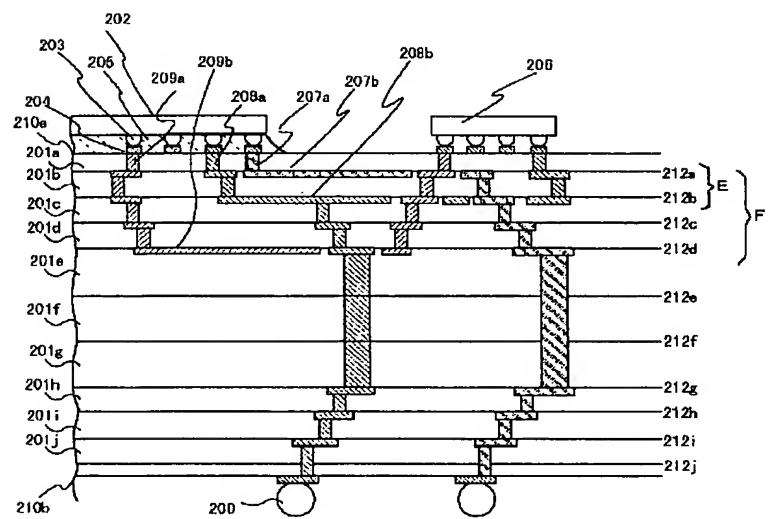
【図8】



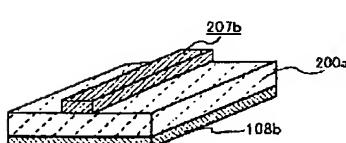
【図10】



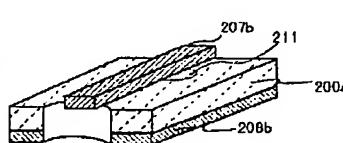
【図9】



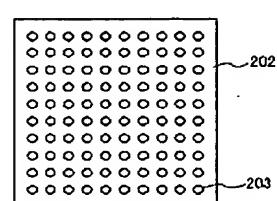
【図12】



【図14】



【図15】



【図16】

図16

